

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 25 日 (25.03.2004)

PCT

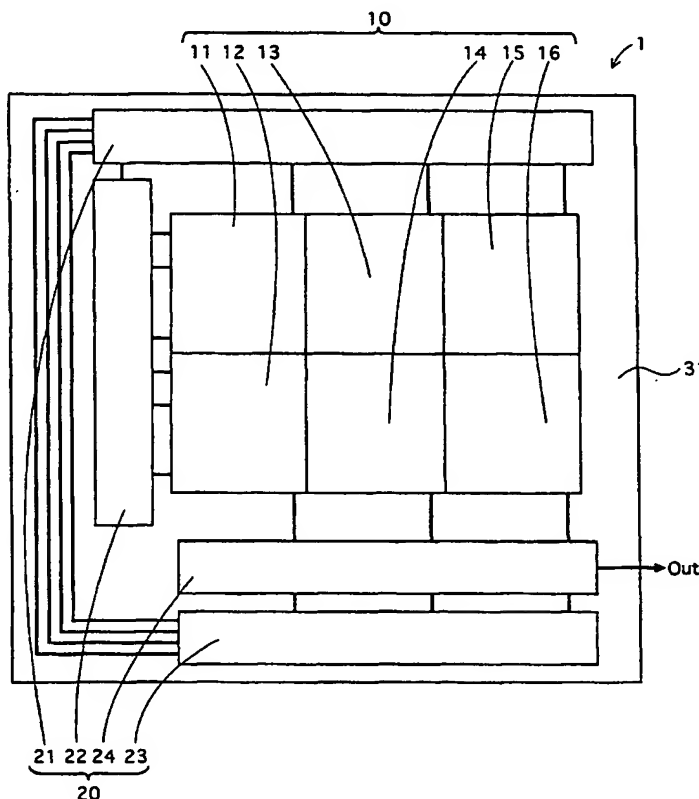
(10) 国際公開番号
WO 2004/025732 A1

- (51) 国際特許分類: H01L 27/146, H04N 5/335 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山口 琢己 (YAM-
(21) 国際出願番号: PCT/JP2002/009324 AGUCHI, Takumi) [JP/JP]; 〒615-0081 京都府 京都市
右京区山之内養老町 5-1 Kyoto (JP).
(22) 国際出願日: 2002 年 9 月 12 日 (12.09.2002) (74) 代理人: 中島 司朗 (NAKAJIMA, Shiro); 〒531-0072 大
阪府 大阪市北区豊崎三丁目 2 番 1 号 淀川 5 番館 6F
(25) 国際出願の言語: 日本語 Osaka (JP).
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.
(71) 出願人 (米国を除く全ての指定国について): 松下電 (84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, NL).
器産業株式会社 (MATSUSHITA ELECTRIC INDUS- 添付公開書類:
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 国際調査報告書
大字門真 1 0 0 6 番地 Osaka (JP).

[続葉有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE, AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 固体撮像装置およびその製造方法



(57) Abstract: A solid-state image pickup device of high quality in which the leak current is less generated in the drive and the noise is less generated, and a manufacturing method thereof. In a MOS image pickup device (1), an image pickup region (10) and a drive circuit region (20) are formed in a p-type silicon substrate (31) (hereinafter, referred to as "Si substrate"). The image pickup region (10) has six pixels (11 to 16) arrayed in 2-row x 3-column, and the drive circuit region (20) has a timing generation circuit part (21), a vertical shift register part (22), a horizontal shift register part (23), and a pixel selection circuit part (24). All the transistor parts in the pixels (11 to 16) of the image pickup parts in the pixels (11 to 16) of the image pickup region (10) and the circuit parts (21 to 24) of the drive circuit region (20) are formed of n-channel MOS transistors.

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

本発明は、駆動時にリーク電流の発生が少なく、ノイズの少ない高画質な固体撮像装置およびその製造方法を提供することを目的とする。

MOS型撮像装置1は、p型のシリコン基板（以下、「Si基板」という。）31に撮像領域10と駆動回路領域20とが形成されている。

撮像領域10は、2行×3列に配列された6つの画素11～16を有しており、駆動回路領域20は、タイミング発生回路部21、垂直シフトレジスタ部22、水平シフトレジスタ部23および画素選択回路部24などを有している。

撮像領域10の各画素11～16および駆動回路領域20の各回路部21～24における全てのトランジスタ部は、nチャネルMOS型で形成されている。

明細書

固体撮像装置およびその製造方法

技術分野

- 5 本発明は、デジタルカメラなどに用いられる固体撮像装置およびその製造方法に関する。

背景技術

- 10 固体撮像装置、特に、MOS (Metal Oxide Semiconductor) 型撮像装置は、基板上に二次元的に配設された画素の各々において、入力された光をフォトダイオード部が光電変換して信号電荷を生成し、この信号電荷を画素ごとに設けられた増幅回路部で各々増幅して読み出す装置である。このようなMOS型撮像装置は、低電圧、低消費電力での駆動が可能で、また、撮像領域とこれを駆動する駆動回路領域とを一枚の基板に形成できる
- 15 、所謂ワン・チップ化も可能であることから携帯機器の画像入力装置として注目されている。

- 従来のMOS型撮像装置は、CMOS (Complementary Metal Oxide Semiconductor) プロセス技術を基盤として一枚のシリコン基板（以下、「Si基板」という。）上に撮像領域と駆動回路領域とを形成し構成され
- 20 ている。そして、MOS型撮像装置に用いられるCMOSプロセス技術では、駆動速度の高速化を主眼に装置およびプロセスの開発・設計がなされている。

- 撮像領域は、Si基板上に二次元的（例えば、マトリクス状）に配設された複数の画素からなる。各々の画素相当域には、受けた光を信号電荷に変換するフォトダイオード部と、スイッチング機能を果たすMOS型トランジスタ部、および信号の増幅を行なうMOS型トランジスタ部などが備
- 25 えられている。フォトダイオード部において光電変換されて生じた信号電荷は、後述の駆動回路領域における垂直シフトレジスタ部、水平シフトレジスタ部からの指示信号によるスイッチング動作をもって、各画素内で増

幅された後に画素単位で読み出されるようになっている。

撮像領域における全てのMOS型トランジスタ部は、nチャネルMOS型で形成されている。

5 一方、駆動回路領域は、大きく分けてタイミング発生回路部、垂直シフトレジスタ部、水平シフトレジスタ部、画素選択回路部の4つの主要回路部から構成されており、nチャネルMOS型トランジスタ部とpチャネルMOS型トランジスタ部との両方が組み合わされたCMOS型構造でMOS型トランジスタ部が形成されている。

10 撮像領域におけるnチャネルMOS型トランジスタ部と、駆動回路領域におけるnチャネルMOS型トランジスタ部とは、通常、同一構造で形成されている。

水平シフトレジスタ部の回路構成について、図10を用いて説明する。一般的に水平シフトレジスタ部は、画素の列数に応じた数の段を有しているが、図10では、その内、1段目の部分だけを抜き出して示している。

15 図10に示すように、水平シフトレジスタ部の1段目50は、4つのスイッチ部分51、54、55、58と4つのインバータ部分52、53、56、57とから構成されている。スイッチ部分51、54、55、58およびインバータ部分52、53、56、57の各々は、nチャネルMOS型トランジスタ部とpチャネルMOS型トランジスタ部とが1つずつ組み合わされて構成されている。

20 インバータ部分52とインバータ部分53とは、直列に接続されている。そして、直列に接続されたインバータ部分52、53は、スイッチ部分54と並列に接続されている。スイッチ部分51は、上記接続関係を有するインバータ部52、53、スイッチ部分54と直列に接続されている。

25 スwitch部分55、58およびインバータ部分56、57も、上記と同様の接続関係を有している。

このように構成された水平シフトレジスタ部の1段目50は、スイッチ部51にスタートパルスVSTが印加されて駆動を開始し、クロックパルスCK1およびその反転パルスCK2が各2回印加されることで、画素選

択回路部に 1 段目の動作パルスを出力する。このあと、水平シフトレジスタ部からは、2 段目、3 段目の動作パルスが順次出力されていく。

水平シフトレジスタ部の 1 段目 50 におけるトランジスタ部（CMOS 型）の素子構造について、図 11 を用いて説明する。図 11 は、上記スイッチ部分 51、54、55、58 あるいはインバータ部分 52、53、56、57 における素子構造を示す断面図である。

図 11 に示すように、Si 基板 61 の表面から内方にかけては、互いに間隔をあけた状態で n 型ウェル 62 と p 型ウェル 63 とが形成されている。

10 n 型ウェル 62、p 型ウェル 63 および Si 基板 61 の表面には、ゲート絶縁膜 64 が形成されている。ゲート絶縁膜 64 の面上における略中央部分には、各々ゲート電極 67、70 が形成されている。

一方、各ウェル 62、63 には、ゲート絶縁膜 64 との境界部分から内方にかけてソース領域 65、69 とドレイン領域 66、68 とがそれぞれ
15 形成されている。

このようにして、Si 基板 61 においては、ゲート電極 67、ソース領域 65、ドレイン領域 66 の 3 極で p チャネル MOS 型トランジスタ部が形成されることになり、ゲート電極 70、ソース領域 68、ドレイン領域 69 の 3 極で n チャネル MOS 型トランジスタ部が形成されることになる
20 。

CMOS 型構造の MOS 型撮像装置は、次に示すような Si 基板 61 に対する①～⑦の工程を経て形成される。

- ① n 型ウェル 62 形成用としてのレジストを形成。
- ② n 型ウェル 62 を形成。
- 25 ③ n 型ウェル 62 形成用としてのレジストを除去。
- ④ p 型ウェル 63 形成用としてのレジストを形成。
- ⑤ p 型ウェル 63 を形成。
- ⑥ p 型ウェル 63 形成用としてのレジストを除去。
- ⑦ ゲート絶縁膜 64 を形成。

- ⑧ ゲート電極 67、70 を形成。
- ⑨ n チャネル MOS 用のソース領域 65 / ドレイン領域 66 形成用としてのレジストを形成。
- ⑩ n チャネル MOS 用のソース領域 65 / ドレイン領域 66 を形成。
- 5 ⑪ n チャネル MOS 用のソース領域 65 / ドレイン領域 66 形成用としてのレジストを除去。
- ⑫ p チャネル MOS 用のソース領域 68 / ドレイン領域 69 形成用としてのレジストを形成。
- ⑬ p チャネル MOS 用のソース領域 68 / ドレイン領域 69 を形成。
- 10 ⑭ p チャネル MOS 用のソース領域 68 / ドレイン領域 69 形成用としてのレジストを除去。
- ⑮ フォトダイオード部を形成。

15 しかしながら、上記のような CMOS プロセス技術を基盤として製造される従来の MOS 型撮像装置は、駆動時において、撮像領域におけるフォトダイオード部でのリーク電流の発生および増幅部での特性の劣化を招いてしまい、ノイズを生じてしまうことがある。このように撮像領域でノイズが生じた場合には、信号電荷とともにノイズも一緒に増幅して出力してしまうことになり、画質の低下をもたらすという問題を有していた。

20

発明の開示

本発明は、駆動時にリーク電流の発生が少なく、ノイズの少ない高画質な固体撮像装置およびその製造方法を提供することを目的とする。

上記目的を達成するために、本発明の固体撮像装置は、フォトダイオード部で光電変換された信号電荷を、増幅部で増幅する増幅型単位画素を有する撮像領域と、撮像領域の各増幅型単位画素における素子部を駆動するための駆動回路領域とを一つの半導体基板に備え、撮像領域および駆動回路領域の両領域にトランジスタ機能部を有する固体撮像装置であって、撮像領域および駆動回路領域の両領域におけるトランジスタ機能部が、同一

25

導電型で形成されていることを特徴とする。

この固体撮像装置では、撮像領域および駆動回路領域の両領域における全てのトランジスタ機能部が同一導電型で形成されているので、上記従来のCMOSプロセス技術を用いて製造された固体撮像装置に比べて、約1
5 / 2の工程数で両領域の全てのトランジスタ機能部を形成することができ、トランジスタ機能部の形成過程で撮像領域が受けるダメージを少なくすることができる。

従って、この固体撮像装置では、撮像領域に受けたダメージによる増幅部でのノイズ発生およびフォトダイオード部でのリーク電流の発生などが
10 少なく、これらに起因する画質の低下が少ないという優位性を有する。

なお、上記増幅型単位画素とは、その単位相当域に入力された光を光電変換するフォトダイオード部と、これを増幅する増幅部とが併せて形成された画素のことを言う。

上記固体撮像装置では、撮像領域および駆動回路領域の両領域における
15 トランジスタ機能部がnチャネルMOS型で形成されていることが、装置を高速駆動できるという点から望ましい。

上記駆動回路領域には、電荷の蓄積を行なうコンデンサ機能部と、スイッチング機能を果たすトランジスタ機能部とからなるダイナミック回路部分を有していることが消費電力の低減が図れることから望ましい。

通常、固体撮像装置においては、撮像領域に複数の増幅型単位画素が形成されており、これら複数の増幅型単位画素から信号電荷を読み出す方法として、スキャン読み出し方法、ランダムアクセス方法、エッジ検出方法などがある。特に、上記固体撮像装置においては、複数の増幅型単位画素から一つの増幅型単位画素を選択するための画素選択回路部分と、この画
20 素選択回路部分に対して選択指示信号を出力するシフトレジスタ回路部分とを駆動回路領域に備え、スキャン読み出しを行なうことが高速駆動を可能にできるという点から望ましい。

上記撮像領域には、駆動回路領域からの信号に基づきスイッチング機能を果たすトランジスタ機能部が形成されており、これがON状態のときに

光電変換された信号電荷が増幅部へと出力されることが消費電力の低減という面から望ましい。

また、トランジスタ機能部におけるゲート長が $0.6\mu\text{m}$ 以下の微細なものの場合には、従来のCMOSプロセス技術で製造しようとする熱付加工程の増加によるショートチャネル効果が加速、およびレジスト除去時の増幅部あるいはフォトダイオード部へのダメージにより、駆動時におけるフォトダイオード部でのリーク電流の増加、増幅部でのノイズの増加を招いてしまう。

これに対して、本発明の固体撮像装置のようにトランジスタ機能部が同一導電型で形成されている場合には、製造工程中における熱付加工程の低減およびレジスト除去回数の低減などにより、駆動時におけるリーク電流の増加が少ない。よって、本発明の固体撮像装置は、ゲート長が $0.6\mu\text{m}$ 以下（ $0.6\mu\text{m}$ 以下のデザインルール）の微細なトランジスタ機能部を備える場合にも優位性をもつ。

従来の固体撮像装置では、間に絶縁膜を介して半導体基板上にトランジスタ機能部のゲート電極が一般に形成されるが、そのゲート絶縁膜の膜厚が 20 (nm) 以下の薄膜となった場合に、ゲート絶縁膜と半導体基板との間のリーク電流の発生が急激に増加する。このような薄いゲート絶縁膜を有する場合にも、本発明の固体撮像装置のように同一導電型でトランジスタ部を形成しておけば、リーク電流の発生が少ない。

また、ゲート電極と半導体基板との間において、コンデンサとして機能する絶縁膜が 1 (nm) 以上 20 (nm) 以下の膜厚であるときにも、同一導電型でトランジスタ部を形成した固体撮像装置では、リーク電流の発生を少なくすることができる。

このような固体撮像装置は、画像入力用センサとしてカメラなどに組み込むことができ、高画質な画像を得ることができる。

また、本発明の固体撮像装置の製造方法は、半導体基板に、入力された光を信号電化に変換するフォトダイオード部と、信号電荷を増幅する増幅部とからなる撮像領域を形成するステップと、同じ半導体基板に、撮像領

域を駆動するための駆動回路領域を形成するステップとを有し、撮像領域および駆動回路領域を形成する両ステップにおいて、同一導電型でMOSトランジスタ機能部を形成することを特徴とする。

この製造方法では、撮像領域および駆動回路領域の両領域における全てのトランジスタ機能部をnチャネルMOS型あるいはpチャネルMOS型の何れか一方の形成プロセスだけを経て形成できるので、撮像領域におけるフォトダイオード部および増幅部などが製造プロセス中に受けるダメージを軽減することができる。よって、この製造方法を用いて製造された固体撮像装置は、製造プロセス中で受ける撮像領域でのダメージが少なく、
10 駆動時にこれに起因するフォトダイオード部でのリーク電流の発生および増幅部での特性低下などによるノイズ発生を抑制することができる。

従って、上記固体撮像装置の製造方法では、駆動時におけるフォトダイオード部でのリーク電流の発生および増幅部での特性低下などの原因となるそれらへのダメージを軽減することができ、駆動時にノイズの少ない高
15 画質な固体撮像装置を製造することができる。

上記固体撮像装置の製造方法においては、撮像領域および駆動回路領域のMOSトランジスタ機能部を、nチャネルMOS型で形成することが、固体撮像装置の高速駆動を図る上で望ましい。

上記製造方法では、ゲート長が $0.6\mu\text{m}$ 以下の微細な構造（ $0.6\mu\text{m}$ 以下のデザインルール）でMOS型トランジスタ部を形成する場合であっても、駆動時におけるリーク電流の発生を抑制することができるので、ノイズの低減を図ることができる。

また、上記製造方法では、MOS型トランジスタ部におけるゲート絶縁膜を 20 (nm) 以下の薄膜で形成する場合であっても、MOS型トランジスタ部を同一導電型で形成することにより、駆動時におけるリーク電流の発生を抑制することができるので、特に効果を奏する。
25

さらに、上記製造方法では、MOS型トランジスタ部のゲート電極と半導体基板との間において、コンデンサとして機能する絶縁膜の膜厚を 20 (nm) 以下の薄膜で形成する場合にも、駆動時におけるリーク電流の発

生を抑制することができるので、特に効果を奏する。

図面の簡単な説明

図 1 は、本発明の実施の形態にかかる MOS 型撮像装置を示す平面図である。

図 2 は、撮像領域 10 における画素 11 の回路図である。

図 3 は、水平シフトレジスタ部 23 の回路図である。

図 4 は、水平シフトレジスタ部 23 の動作タイミングチャートである。

図 5 は、水平シフトレジスタ部 23 におけるトランジスタ部の素子構造を示す断面図である。

図 6 は、n チャネル MOS 型トランジスタ部の製造工程図である。

図 7 は、n チャネル MOS 型トランジスタ部の製造工程図である。

図 8 は、トランジスタ部の導電型とフォトダイオードにおけるリーク電子数との関係を示す比較特性図である。

図 9 は、トランジスタ部の導電型と画素内アンプにおける S/N 比の関係を示す比較特性図である。

図 10 は、従来の水平シフトレジスタ部の回路図である。

図 11 は、従来の水平シフトレジスタ部におけるトランジスタ部の素子構造を示す断面図である。

発明を実施するための最良の形態

(MOS 型撮像装置 1 の構成)

本発明を実施するための最良の形態としての MOS 型撮像装置について、図 1 ～図 3 を用いて説明する。図 1 は、本形態に係るデジタルカメラの画像入力用としての MOS 型撮像装置 1 の全体構成を示す平面（ブロック）図である。図 2 は、MOS 型撮像装置 1 における増幅型単位画素相当域における回路（以下、単に「画素」という。）11 の回路図を示し、図 3 は、水平シフトレジスタ部 23 の回路図を示す。

図 1 に示すように、MOS 型撮像装置 1 は、p 型のシリコン基板（以下

、「S i 基板」という。) 31 に撮像領域 10 と駆動回路領域 20 とが形成されている。撮像領域 10 と駆動回路領域 20 の各部の回路は、S i 基板 31 に形成された配線パターンにより電氣的に接続されている。

5 なお、図 1 においては、各領域 10、20 の回路をブロックで示しているが、実際の S i 基板 31 には、両方の領域 10、20 に備えられる各機能素子部が密集して形成されている。

10 撮像領域 10 は、2 行×3 列に配列された 6 つの画素 11～16 を有しており、駆動回路領域 20 は、タイミング発生回路部 21、垂直シフトレジスタ部 22、水平シフトレジスタ部 23 および画素選択回路部 24 などを有している。

この内、垂直シフトレジスタ部 22 および水平シフトレジスタ部 23 は、ともにダイナミック回路部であって、タイミング発生回路部 21 からの信号に応じて、画素 11～16 あるいは画素選択回路部 24 に対して順次駆動（スイッチング）パルスを出力する。

15 また、画素選択回路部 24 には、画素 11、12 に対応して 1 つ、画素 13、14 に対応して 1 つ、画素 15、16 に対応して 1 つの計 3 つのスイッチング素子部（不図示）が形成されており、水平シフトレジスタ部 23 からのパルスを受けて順次 ON 状態となる。

20 撮像領域 10 における 6 つの画素 11～16 は、各々が増幅部を備えた増幅型単位画素であって、光電変換された信号電荷が、垂直シフトレジスタ部 22 で選択された行と、画素選択回路部 24 が ON 状態となっている列との交差した画素から読み出されるようになっている。

25 タイミング発生回路部 21 は、上記垂直シフトレジスタ部 22 および水平シフトレジスタ部 23 に対して、電源電圧やタイミングパルスなどを印加する回路部である。

（撮像領域 10 の各画素の回路構成）

撮像領域 10 における 6 つの画素 11～16 は、増幅型単位画素であり、その相当域に同一の回路構成を有している。以下では、画素 11 を一例として、そこに備える回路構成について、図 2 を用いて説明する。

図2に示すように、画素11は、フォトダイオード部111と、4つのトランジスタ部（転送用トランジスタ部112、リセット用トランジスタ部113、増幅用トランジスタ部114、選択用トランジスタ部115）などがSi基板31に形成され構成されている。この内、4つのトランジスタ部112～115は、全てnチャネルMOS型で形成されている。

図2に示すように、フォトダイオード部111は、入力された光の強度に比例した信号電荷を発生する光電変換機能を有する素子部であって、その一端が接地されており、他端が転送用トランジスタ部112のソースに接続されている。

10 転送用トランジスタ部112は、フォトダイオード111で発生した信号電荷を検出部としての自らのドレインに転送するための素子部であって、ドレインに増幅用トランジスタ部113のゲートと、リセット用トランジスタ部113のソースとが接続されている。

15 リセット用トランジスタ部113は、転送用トランジスタ部112のドレインに蓄積された信号電荷を予め設定された一定時間毎にリセットするための素子部であって、ドレインが電源電圧VDDと電氣的に接続されている。

また、増幅用トランジスタ部114は、転送用トランジスタ部112のドレインに蓄積された信号電荷を垂直シフトレジスタ22などからの信号に応じて選択用トランジスタ部115がON状態となったときに出力する素子部であって、ドレインが電源電圧VDDに接続され、ソースが選択用トランジスタ部115のドレインに接続されている。

選択用トランジスタ部115のソースは、画素選択回路部24に接続されている。

25 転送トランジスタ部112およびリセット用トランジスタ部113および選択用トランジスタ部115の各ゲートは、垂直シフトレジスタ部22からの3本の信号線に各々接続されている。

上記4つのトランジスタ部112～115の内、増幅用トランジスタ部114は、画素11における信号電荷の信号増幅機能を果たし、他のトラ

ンジスタ部 112、113、115 は、スイッチング機能を果たす。

上記のような回路構成を有する画素 11 では、フォトダイオード部 111 で光電変換により生成された信号電荷が、転送用トランジスタ部 112 におけるドレイン（検出部）に蓄積される。蓄積された信号電荷は、垂直シフトレジスタ部 22 からの指示信号に基づいて転送用トランジスタ部 112 が ON 状態となったときに、増幅トランジスタ部 114 のゲートへと出力される。

信号電荷がゲートに入力された増幅トランジスタ部 114 は、入力された信号電荷を増幅する。

- 10 転送用トランジスタ部 115 は、垂直シフトレジスタ部 22 からの指示信号に基づいて ON/OFF 動作を行なう。

リセット用トランジスタ部 113 は、検出部に蓄積された信号電荷を一定時間毎に排出し、検出部における信号電荷の蓄積状態をリセットする。

- 15 MOS 型撮像装置 1 の撮像領域 10 では、画素 11 ~ 16 毎に、光電変換された信号電荷を蓄積し、垂直シフトレジスタ部 22 および水平シフトレジスタ部 23 からの指示信号に基づいて、各画素内の選択用トランジスタ部と画素選択回路部 24 とによって選択された 1 つの画素で信号電荷が増幅され、その信号電荷を出力する。

（水平シフトレジスタ部 23 の回路構成）

- 20 次に、駆動回路領域 20 の各回路 21 ~ 24 の内、水平シフトレジスタ部 23 の回路構成について、図 3 を用いて説明する。

図 3 に示す水平シフトレジスタ部 23 は、上記図 10 に示す従来の水平シフトレジスタ部（1 段目）50 とは異なり、全てのトランジスタ部が n チャネル MOS 型で形成されている。

- 25 図 3 に示すように、水平シフトレジスタ部 23 は、撮像領域 10 における画素 11 ~ 16 の列数に対応するように、1 段目部分 231、2 段目部分 232、3 段目部分 233 の 3 つの部分から構成されている。1 段目部分 231、2 段目部分 232、3 段目部分 233 は、同一の回路構成を有しているので、以下では、一例として 1 段目部分 231 の回路構成のみを説明する。

図3に示すように、水平シフトレジスタ部23の1段目部分231は、4つのトランジスタ部2311、2312、2316、2317と1つのブーストラップ用コンデンサ部2313とから構成されている。この内、4つのトランジスタ部2311、2312、2316、2317は、上記撮像領域10における4つのトランジスタ部112～115と同様に、全てnチャネルMOS型で形成されている。

充電トランジスタ部2311は、ブーストラップ用コンデンサ部2313を充電するためのエンハンスメント型のnチャネルMOS型素子部であって、ゲートがスタートパルスVST用の信号線に接続され、ドレインが電源電圧VDDに接続され、ソースがブーストラップ用コンデンサ部2313の一端（プラス側）に接続されている。ここで、スタートパルスVSTおよび電源電圧VDDは、タイミング発生回路部21から印加されるようになっている。後述の駆動パルスV1についても、同様である。

また、充電トランジスタ部2311のソースは、出力トランジスタ部2312のゲートに接続されたノード2315、および放電トランジスタ部2316のドレインに接続されている。

出力トランジスタ部2312は、上述のようにゲートがノード2315を通して充電トランジスタ部2311のソースに接続され、ドレインが駆動パルスV1用の信号線に接続され、ソースがブーストラップ用コンデンサ部2313のもう一端（マイナス側）に接続されている。出力トランジスタ部2312のソースは、また、放電トランジスタ部2317のドレインにも接続されている。

ブーストラップ用コンデンサ部2313のマイナス側と出力トランジスタ部2312のソースとの間には、出力ノード2314が設けられており、撮像領域10に接続されている。

2つの放電トランジスタ部2316、2317は、ソースが共に接地されており、ゲートが共に2段目部分232の出力ノード2324に接続されている。

2段目部分232における出力トランジスタ部2322のドレインは、駆動

パルスV 2用の信号線に接続されている。

2段目部分2 3 2における他の回路構成は、1段目部分2 3 1と同一である

。

3段目部分2 3 3についても、出力トランジスタ部2 3 3 2のドレインが駆
5 動パルスV 1用の信号線に接続されている以外は、他と同一である。

このように、nチャンネルMOS型のみでトランジスタ部が形成された水平シ
フトレジスタ部2 3は、1段当たり4箇所のトランジスタ部と1箇所のコンデ
ンサ部とを備えている。上記図1 1に示す従来のCMOS型構造を有する水平
シフトレジスタ部が1段当たりトランジスタ部を1 6箇所備えているのに対し
10 て、水平シフトレジスタ部2 3が備える機能素子部（トランジスタ部とコンデ
ンサ部）の数は、合計5箇所であり、非常に少ない。

従って、水平シフトレジスタ部2 3は、駆動速度に優れる上記図1 0のCM
OS型構造のものに比べても、形成することが必要な機能素子部の数を低減で
15 きるように回路を設計することにより、同等あるいはそれ以上の駆動速度を得
ることができる。

（水平シフトレジスタ部2 3の駆動）

上記回路構成を有する水平シフトレジスタ部2 3の駆動について、図4を用
いて説明する。図4は、水平シフトレジスタ部2 3の駆動タイミングチャート
である。

図4に示すように、水平シフトレジスタ部2 3では、時刻t 0において、ス
タートパルスV S T（電圧5（V））が充電トランジスタ部2 3 1 1のゲートに
印加されると、当該充電トランジスタ部2 3 1 1がONの状態となる。充電ト
ランジスタ部2 3 1 1がON状態になると、出力トランジスタ部2 3 1 2のゲ
ートに電圧が印加されて、出力トランジスタ部2 3 1 2もON状態となる。こ
20 のとき、出力トランジスタ部2 3 1 2のドレインに入力されている駆動パルス
V 1は、グランド電位であり、ブーストラップ用コンデンサ部2 3 1 3の両端
に電源電圧V D Dと同じ電位差が生じることになる。これにより、ブーストラ
ップ用コンデンサ部2 3 1 3は、電圧V D D（3（V））になるまで充電される
25 。

次に、時刻 t_1 において、駆動パルス V_1 が 3 (V) に立ち上がり、出力トランジスタ部 2312 のドレインに入力されると、出力トランジスタ部 2312 のゲートには、駆動パルス V_1 の電圧 3 (V) とブーストラップ用コンデンサ部 2313 の両端電圧 3 (V) とが足しあわされた高い電圧 HB_1 (6 (V)) がパルス V_{N11} として印加される。これにより、出力ノード 2314 からは、3 (V) の振幅を有する動作パルス V_{N12} が出力パルス Out_1 として画素選択回路部 24 における 1 列目の画素 11、12 に対応のスイッチング素子部に対して出力されることになる。

また、同時にノード 2315 における高い電圧 HB_1 のパルス V_{N11} は、
10 2 段目 232 における充電トランジスタ部 2321 のゲートにも印加され、これによって充電トランジスタ部 2321 が ON 状態となる。そして、2 段目 232 の充電トランジスタ部 2321 が ON 状態となった場合には、出力トランジスタ部 2322 も ON 状態となる。この時点で、駆動パルス V_2 はグランド電位であるので、ブーストラップ用コンデンサ部 2323 が電源電圧 V_{DD} (3 (V)) まで充電される。
15

時刻 t_2 の場合において、駆動パルス V_2 が 3 (V) に立ち上がり、出力トランジスタ部 2322 のドレインに入力されると、出力トランジスタ部 2322 のゲートには、駆動パルス V_2 の電圧 3 (V) とブーストラップ用コンデンサ部 2323 の両端電圧 3 (V) とが足しあわされた高い電圧 HB_2 (6 (V)) がパルス V_{N21} として印加される。これにより、出力ノード 2324 からは、3 (V) の振幅を有する動作パルス V_{N22} が出力パルス Out_2 として画素選択回路部 24 における 2 列目の画素 13、14 に対応のスイッチング素子部に対して出力されることになる。
20

同時にノード 2315 における高い電圧 HB_2 のパルス V_{N21} は、3 段目 233 における充電トランジスタ部 2331 のゲートにも印加され、上記同様の駆動をし、時刻 t_3 において、出力ノード 2334 からは、3 (V) の振幅を有する動作パルス V_{N32} が出力パルス Out_3 として画素選択回路部 24 における 3 列目の画素 15、16 に対応のスイッチング素子部に対して出力される
25

また、２段目２３２の出力ノード２３２４からの動作パルス V_{N22} は、同時に１段目２３１における放電トランジスタ部２３１６、２３１７をＯＮ状態にし、ブーストラップ用コンデンサ部２３１３の充電容量が放電される。

なお、ブーストラップ用コンデンサ部２３１３の放電については、駆動パルス V_2 を用いて行なってもよい。

このように、構成要素中の全てのトランジスタ部を n チャネルＭＯＳ型により形成された水平シフトレジスタ部２３では、上記図１１の従来のＣＭＯＳプロセスにより形成された水平シフトレジスタ部５０よりも少ないトランジスタ部の形成数でも、電圧降下のない、出力パルス $Out_1 \sim 3$ を生成し順次出力することが可能である。

従って、この水平シフトレジスタ部２３は、駆動速度も含めて上記図１０のＣＭＯＳプロセス技術を用いて製造された水平シフトレジスタ部５０と、駆動速度を含めて同等の性能を有するといえる。

なお、駆動回路領域２０には、上記水平シフトレジスタ部２３以外にも、タイミング発生回路部２１、垂直シフトレジスタ部２２、画素選択回路部２４などを備えるが、水平シフトレジスタ部２３同様に、ＣＭＯＳプロセス技術を基盤に設計・製造された各回路部と同等の性能とすることが可能である。

(ＭＯＳ型撮像装置１におけるトランジスタ部の素子構造)

本発明の実施の形態に係るＭＯＳ型撮像装置１では、撮像領域１０と駆動回路領域２０との両領域における全てのトランジスタ部が n チャネルＭＯＳ型で形成されているところに特徴を有する。トランジスタ部の素子構造について、図５を用いて説明する。

図５に示すように、Ｓｉ基板３１の表面上には、絶縁性を有する SiO_2 からなるゲート絶縁膜３２が形成されている。ゲート絶縁膜３２の膜厚は、例えば、１（nm）以上２０（nm）以下の範囲内で設定されている。

Ｓｉ基板３１は、 p 型の特性を有するものである。

Ｓｉ基板３１とゲート絶縁膜３２との境界部分からＳｉ基板３１の内部にかけての領域には、互いに間隔をあけた状態でソース領域３３とドレイン領域３４とが形成されている。

ゲート絶縁膜 32 の表面上におけるソース領域 33 とドレイン領域 34 との間の間隙に相当する部分には、ポリシリコンからなるゲート電極 35 が形成されている。

図 5 に示すように、Si 基板 31 では、ゲート電極 35、ソース領域 33、ドレイン領域 34 が 3 極をなし、ゲート電極 35 直下の Si 基板表層部がチャネルをなすことにより、n チャネル MOS 型トランジスタ部が構成される。

(トランジスタ部の形成方法)

MOS 型撮像装置 1 におけるトランジスタ部の形成方法について、図 6 および図 7 を用いて説明する。

図 6 (a) に示す Si 基板 31 に対し、酸化性の雰囲気中で処理を施すことで、図 6 (b) に示すような、 SiO_2 からなり、絶縁膜としてのゲート絶縁膜 32 が表面に形成された Si 基板 31 が得られる。

ゲート絶縁膜 32 の面上における所定の領域に、ポリシリコン (多結晶シリコン) を堆積させ、図 6 (c) に示すように、ゲート電極 35 を形成する。ゲート電極 35 の形成には、例えば、LPCVD 法などを用いることができる。

図 6 (d) に示すように、ゲート絶縁膜 32 の面上であって、ゲート電極 35 の両サイドから一定間隔をあけた部分に、所望のパターンをもってレジスト膜 400 を形成する。

図 7 (a) に示すように、上記図 6 (d) の Si 基板 31 に対して、ゲート絶縁膜 32 の表面側から砒素 (As) およびリン (P) をイオン注入し、熱処理を施して活性化することで、ソース領域 33 およびドレイン領域 34 を形成する。イオン注入の際には、ゲート電極 35 もレジストの役目を果たす、所謂、セルフアライン方式が採られるので、ゲート電極 35 に対するソース領域 33 およびドレイン領域 34 の位置が正確に決められる。

最後に、酸素プラズマ中で灰化することによって、レジスト 400 を除去し、図 7 (b) に示すように Si 基板 31 にトランジスタ部が形成される。

なお、トランジスタ部におけるゲート電極 35 と Si 基板 31 との間のゲート絶縁膜 32 は、コンデンサとしての機能も有することになる。

(全てのトランジスタ部を n チャネル MOS 型で形成することによる優位性)

本発明者は、駆動時における画質の低下の原因について研究した結果、上述のCMOSプロセス技術を用いた製造方法では、プロセス中において増幅部およびフォトダイオードなどの形成領域あるいはその予定領域へ加えられるダメージが駆動時に影響を及ぼしていることを突き止めた。

5 具体的には、上記従来の製造方法において、レジストを除去する③と⑥との2回の工程を経ることにより、撮像領域におけるトランジスタ部を形成しようとするSi基板61の表面部分がダメージを受ける。このダメージは、トランジスタ部のゲート電極67、70の下部に欠陥を生じさせることがあり、増幅部における1/fノイズの増加などの特性劣化を招いて
10 しまうことがある。

また、撮像領域におけるゲート電極67、70形成後では、⑪と⑭との2回のレジストを除去する工程を経ることになり、撮像領域におけるゲート電極67、70の両側のゲート絶縁膜64がダメージを受けることがある。この場合には、駆動時において、ゲート電極67、70とソース領域
15 65、68およびドレイン領域66、69との間にリーク電流が発生し易くなり、増幅部におけるノイズの増加につながる。特に、ゲート絶縁膜32を20（nm）以下の薄膜とする場合には、リーク電流の発生が増加する。

さらに、フォトダイオード部を形成しようとする予定領域におけるSi
20 基板61の表面は、③、⑥、⑪、⑭の4回のレジストを除去する工程を経ることによりダメージを受けるので、これが駆動時におけるリーク電流発生の原因となる。そして、このリーク電流は、光電変換により生成された信号にノイズとして加算され、白キズの増加による画質の低下をもたらす。
。

25 このように従来の製造方法を用いて製造されたMOS型撮像装置は、製造プロセス中において撮像領域がダメージを受けることに起因して、フォトダイオード部でのリーク電流の発生、増幅部でのノイズの増加などを生じ、画質の劣化を生じていた。

これに対して、上記図6および図7に示すMOS型撮像装置1の製造方法で

は、トランジスタ部のプロセス中におけるレジスト除去回数が1回となる。これを上記従来の製造方法と比較すると、MOS型撮像装置1の製造方法では、p型のSi基板31を用いているのでウェルの形成に係るレジスト除去プロセス③、⑥が無く、ソース領域33およびド레인領域34の形成に係るレジスト除去プロセスが⑩の一回だけでよい。

これより、本実施の形態に係る製造方法では、ゲート電極35の下部欠陥に起因する増幅部の $1/f$ ノイズの増加、ゲート電極35の両サイド部におけるゲート絶縁膜32のダメージによる増幅部でのリーク電流の発生、およびフォトダイオード部の下部におけるSi基板31の欠陥に起因するフォトダイオード部でのリーク電流の発生などが抑制される。特に、ゲート絶縁膜32を20 (nm) 以下の薄膜とする場合にあっては、リーク電流の発生を大幅に抑制することができ、全てのトランジスタ部をnチャネルMOS型で形成したMOS型撮像装置1が優位性を有することが確認できる。

従って、撮像領域10および駆動回路領域20の両領域における全てのトランジスタ部をnチャネルMOS型で形成する本実施の形態に係る製造方法では、プロセス中に撮像領域10に与えるダメージを軽減できるので、高画質なMOS型撮像装置1を製造することができる。

(比較実験)

上記のように撮像領域10および駆動回路領域20の両領域における全てのトランジスタ部をnチャネルMOS型で形成されたMOS型撮像装置1と、CMOSプロセス技術を用いて製造された従来のCMOS型撮像装置との性能について比較する。

フォトダイオード部におけるリーク電子数は、光を入力しない状態でフォトダイオード部に発生した電子を増幅用トランジスタ部のゲートに読み出し(転送用トランジスタ部で読む)、検出され、その結果を図8に示す。

図8に示すように、フォトダイオード部におけるリーク電子数は、従来のCMOS型撮像装置を1としたとき、nチャネルMOS型撮像装置が0.82となっており、18(%)低減されている。

次に、増幅部(増幅用トランジスタ部)のS/N比は、固体撮像装置を用い

て作製したカメラをS/N測定器で測定したものであって、その結果を図9に示す。

図9に示すように、増幅部におけるS/N比は、従来のMOS型撮像装置が54dBであるのに対して、nチャネルMOS型撮像装置が57dBで、3dB優れている。

このように、Si基板31内における全てのトランジスタ部をnチャネルMOS型で形成したMOS型撮像装置1は、上述のように、その製造過程において、フォトダイオード部や増幅用トランジスタ部に受けるダメージが低減されているので、フォトダイオード部におけるリーク電子数および増幅部のS/N比の両特性で従来のCMOS型撮像装置よりも優れる。

従って、上記比較結果からも分かるとおり、本実施の形態に係るMOS型撮像装置1は、撮像領域10および駆動回路領域20の両領域における全てのトランジスタ部をnチャネルMOS型で形成されることで、駆動時にフォトダイオード部でのリーク電流の発生が少なく、増幅トランジスタ部でのノイズの発生が少ないことから、高画質な特性を有する。

(その他の事項)

なお、上記発明の実施の形態は、本発明の特徴および優位性を説明するために用いた一例である。よって、装置内の全てのトランジスタ部をnチャネルMOS型で形成するという本質的な部分以外については、これに限定を受けるものではない。

例えば、撮像領域における画素数およびその配列については、上記2行×3列以外でもよく、駆動回路領域に備える回路部についても、上記回路部21～24の他に備えていてもよい。

また、上記図2および図3に示した回路図も一例であって、この回路構成以外の装置の使用目的に応じた回路構成を採用してもよい。

さらに、装置内においては、隣り合うトランジスタ部どうしの間の部分に分散酸化膜などからなる素子分離部を形成しておいてもよい。ただし、その製造過程では、駆動時のノイズなどを考慮して、フォトダイオードや増幅用トランジスタ部などにダメージが及ばないようにする必要がある。

上記では、p型の特性を有するSi基板を用いたが、Si基板の必要部分にp型ウェルを形成したものを用いても良いし、SOI (Silicon on Insulator) などを用いてもよい。この場合には、機能部間および回路部間のアイソレーションを向上させることができるので有効である。

5 産業上の利用の可能性

本発明にかかる固体撮像装置およびその製造方法は、駆動時におけるリーク電流の発生が少なく、高画質な固体撮像装置を実現するのに有効である。

請 求 の 範 囲

1. フォトダイオード部で光電変換された信号電荷を、増幅部で増幅する増幅型単位画素を有する撮像領域と、前記撮像領域の各増幅型単位画素における素子部を駆動するための駆動回路領域とを一つの半導体基板に備え、前記撮像領域および駆動回路領域の両領域にトランジスタ機能部を有する固体撮像装置において、前記撮像領域および駆動回路領域の両領域におけるトランジスタ機能部は、同一導電型で形成されている
- 5 ことを特徴とする固体撮像装置。
- 10 2. 前記撮像領域および駆動回路領域における全てのトランジスタ機能部は、nチャネルMOS型で形成されている
- ことを特徴とする請求の範囲第1項に記載の固体撮像装置。
- 15 3. 前記駆動回路領域には、電荷の蓄積を行なうコンデンサ機能部と、スイッチング機能を果たすトランジスタ機能部とからなるダイナミック回路部分を有している
- ことを特徴とする請求の範囲第1項に記載の固体撮像装置。
- 20 4. 前記撮像領域は、複数の増幅型単位画素を有しており、前記駆動回路領域は、前記複数の増幅型単位画素から一つの増幅型単位画素を選択するための画素選択回路部分と、前記画素選択回路部分に対して選択指示信号を出力するシフトレジスタ回路部分とを有している
- 25 ことを特徴とする請求の範囲第3項に記載の固体撮像装置。
5. 前記撮像領域には、前記駆動回路領域からの信号に基づきスイッチング機能を果たすトランジスタ機能部が形成されており

、前記トランジスタ機能部がONの状態の前記信号電荷が増幅部へと出力される

ことを特徴とする請求の範囲第1項に記載の固体撮像装置。

- 5 6. 前記トランジスタ機能部は、MOS型トランジスタ部であり、ゲート長が $0.6\mu\text{m}$ 以下で形成されている

ことを特徴とする請求の範囲第1項に記載の固体撮像装置。

- 10 7. 前記トランジスタ機能部は、MOS型トランジスタ部であり、ゲート絶縁膜の膜厚が 1nm 以上 20nm 以下で形成されている

ことを特徴とする請求の範囲第1項に記載の固体撮像装置。

- 15 8. 前記トランジスタ機能部は、MOS型トランジスタ部であり、

前記MOS型トランジスタ部のゲート電極と前記半導体基板との間において、コンデンサとして機能する絶縁膜は、 1nm 以上 20nm 以下の膜厚で形成されている

ことを特徴とする請求の範囲第1項に記載の固体撮像装置。

20

9. 請求の範囲第1項に記載の固体撮像装置を備えるカメラ。

- 25 10. 半導体基板に、入力された光を信号電荷に変換するフォトダイオード部と、前記信号電荷を増幅する増幅部とからなる撮像領域を形成するステップと、

前記半導体基板に、前記撮像領域を駆動するための駆動回路領域を形成するステップとを有し、

前記撮像装置および駆動回路領域を形成する両ステップでは、同一導電型でMOS型トランジスタ部が形成される

ことを特徴とする固体撮像装置の製造方法。

11. 前記両ステップで形成されるMOS型トランジスタ部は、ともにnチャネルMOS型である

5 ことを特徴とする請求の範囲第10項に記載の固体撮像装置の製造方法。

12. 前記MOS型トランジスタ部におけるゲート長を、 $0.6\mu\text{m}$ 以下で形成する

10 ことを特徴とする請求の範囲第10項に記載の固体撮像装置の製造方法。

13. 前記MOS型トランジスタ部におけるゲート絶縁膜の膜厚を、 1nm 以上 20nm 以下で形成する

15 ことを特徴とする請求の範囲第10項に記載の固体撮像装置の製造方法。

14. 前記MOS型トランジスタ部のゲート電極と前記半導体基板との間において、コンデンサとして機能する絶縁膜を、 1nm 以上 2

20 0nm 以下の膜厚で形成する

ことを特徴とする請求の範囲第10項に記載の固体撮像装置の製造方法。

図 1

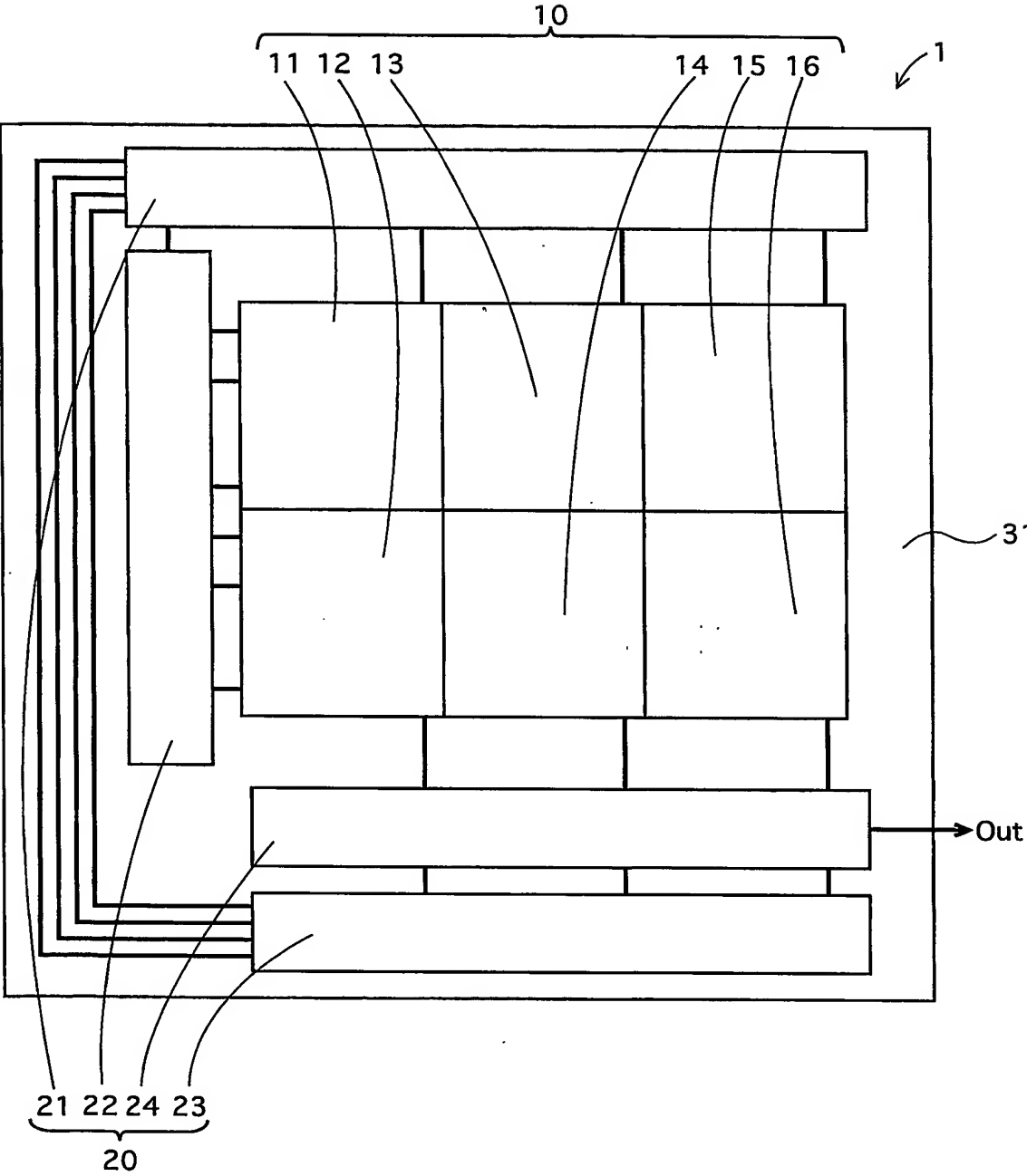


図2

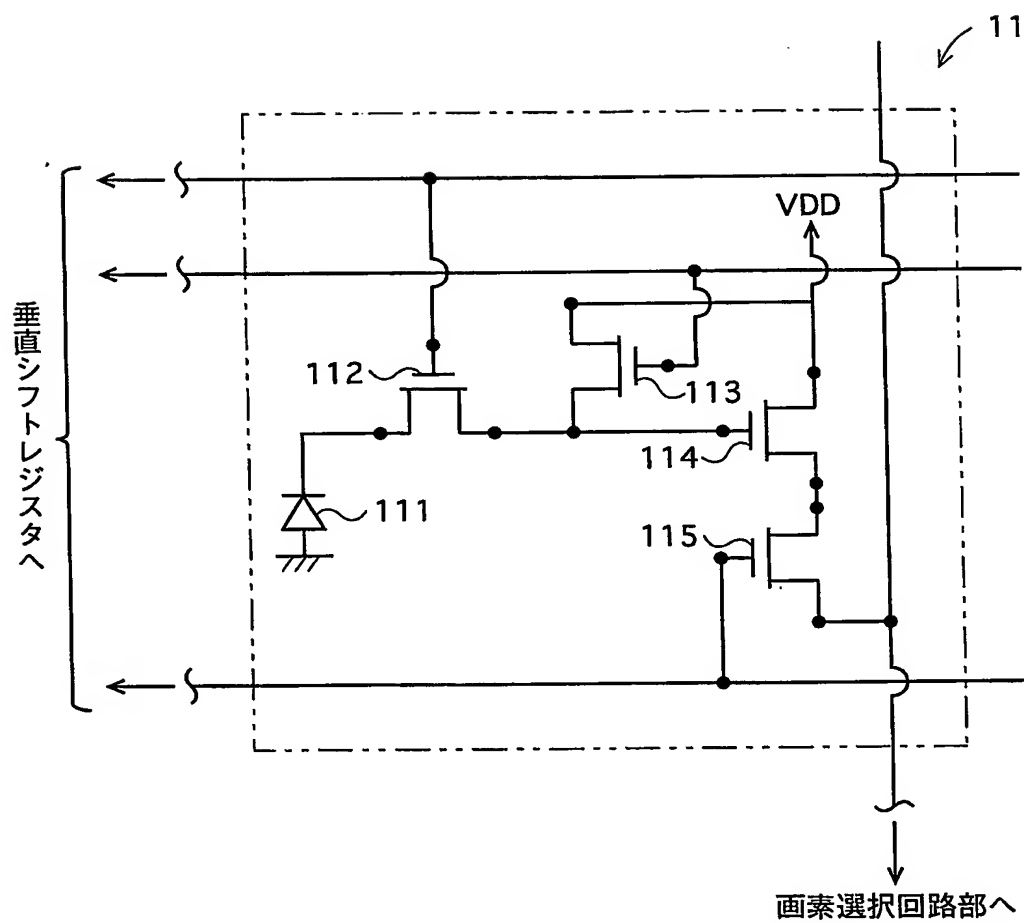


図3

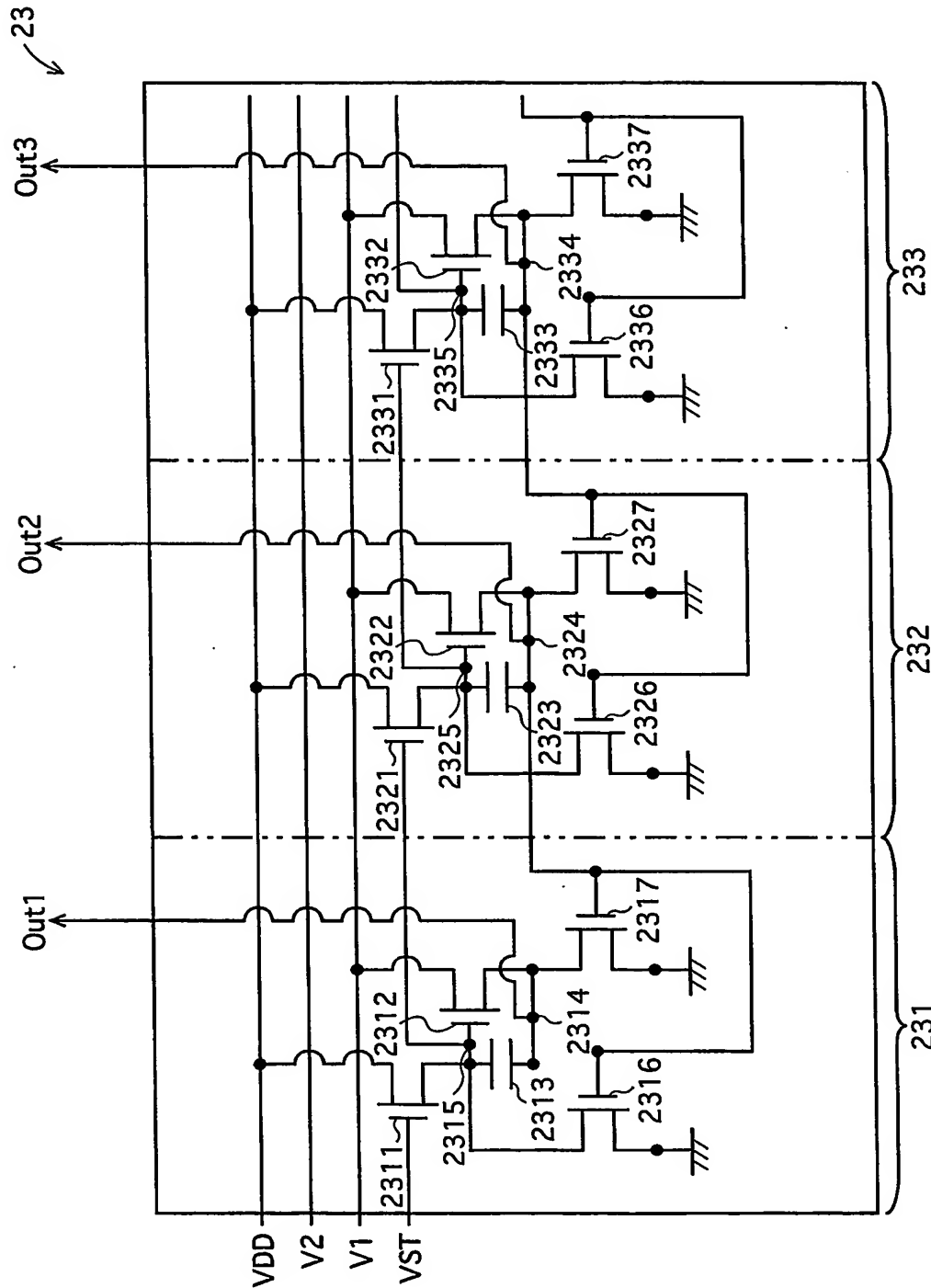


図4

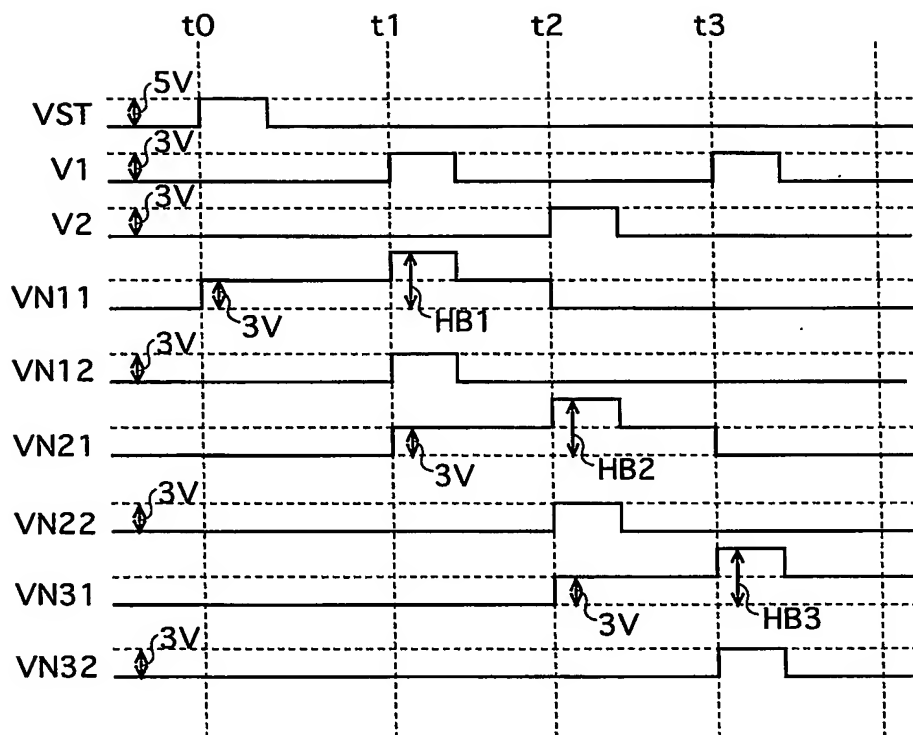


図5

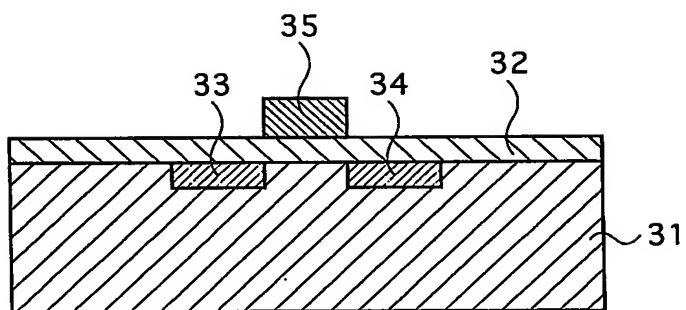


図6

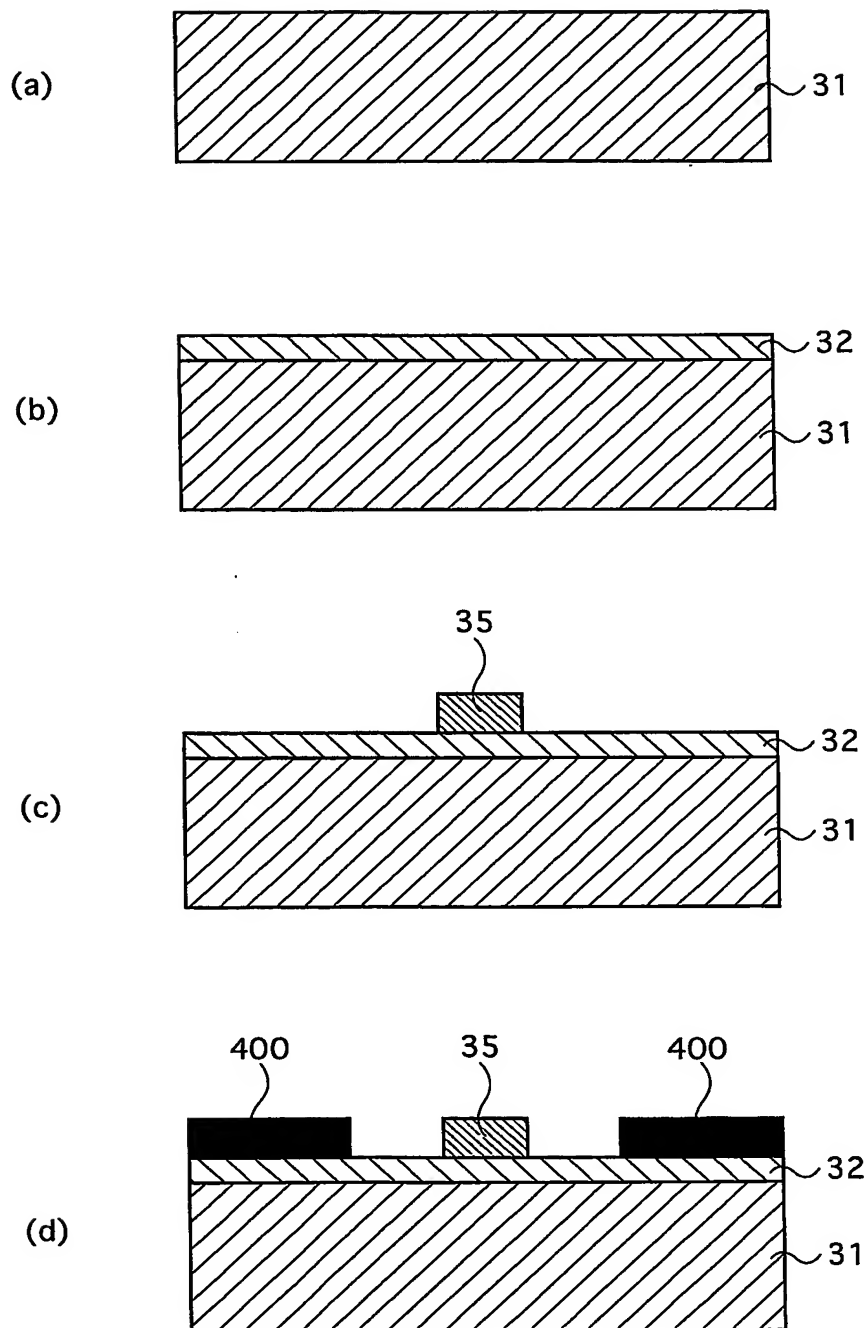


図7

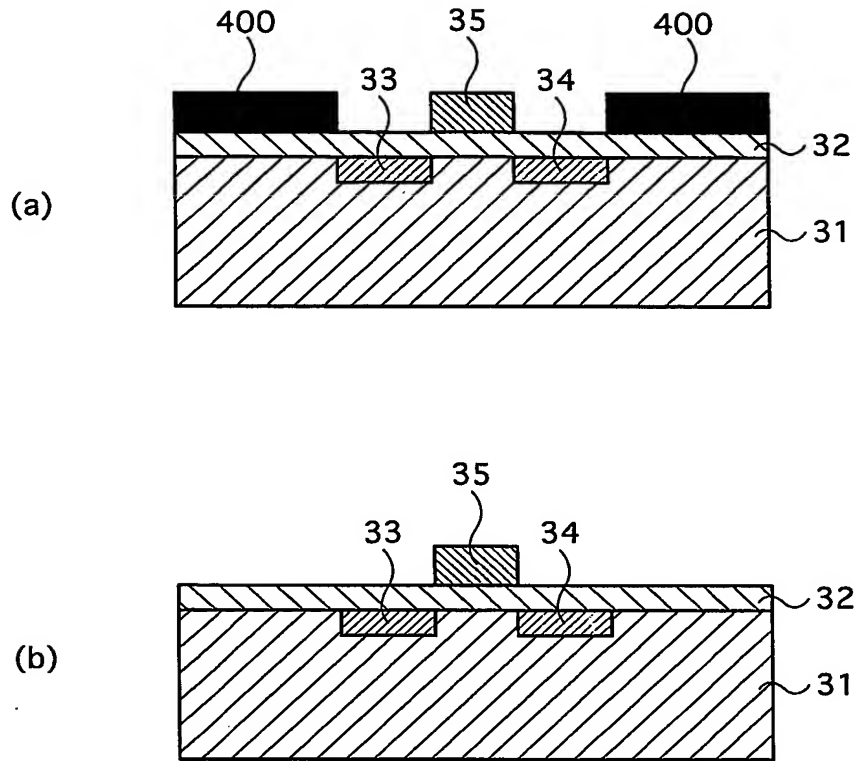


図8

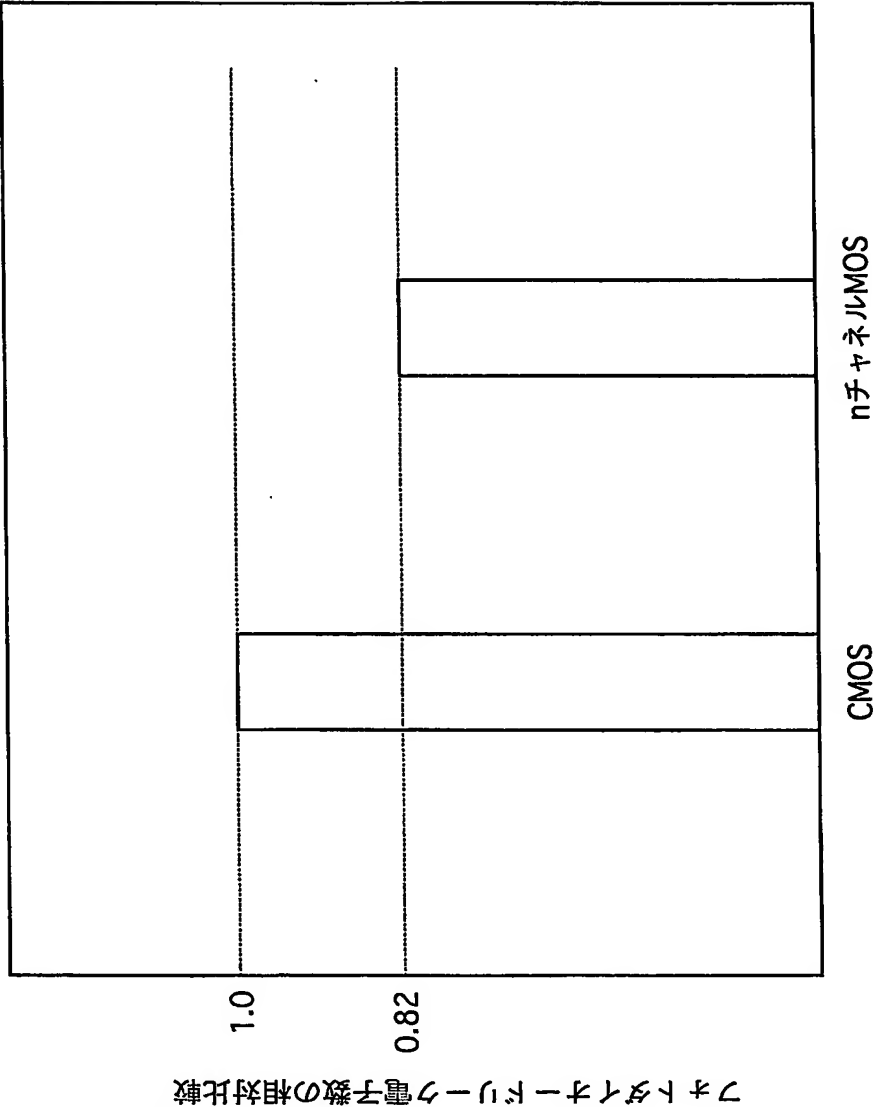


図9

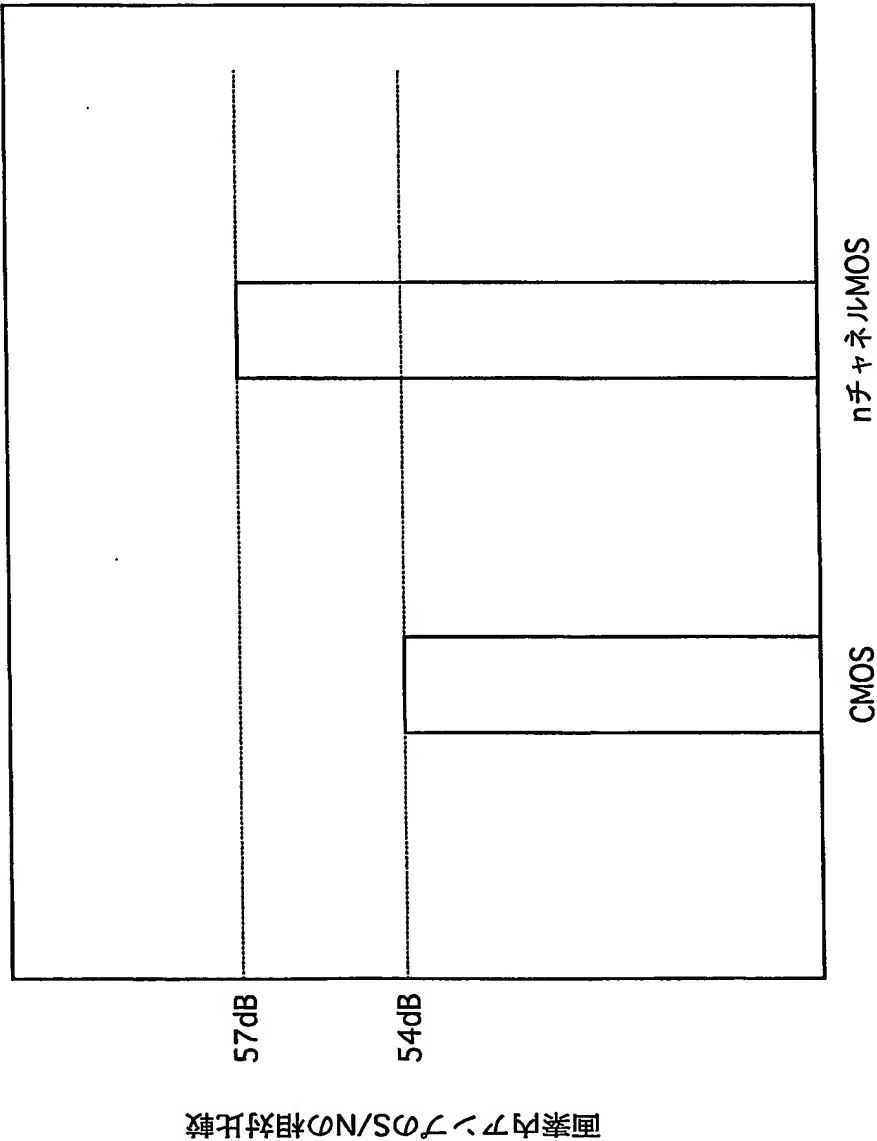


図10

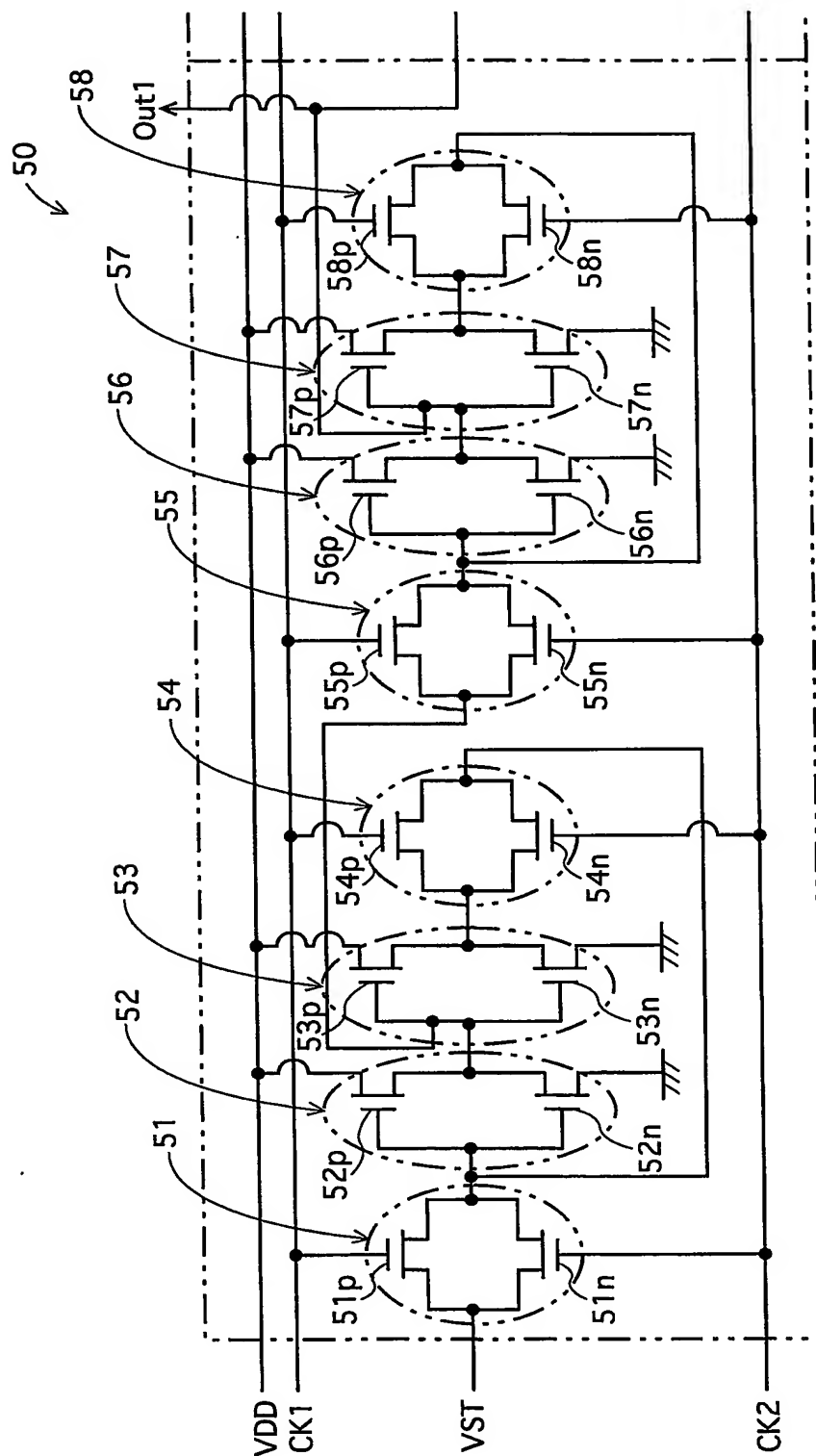
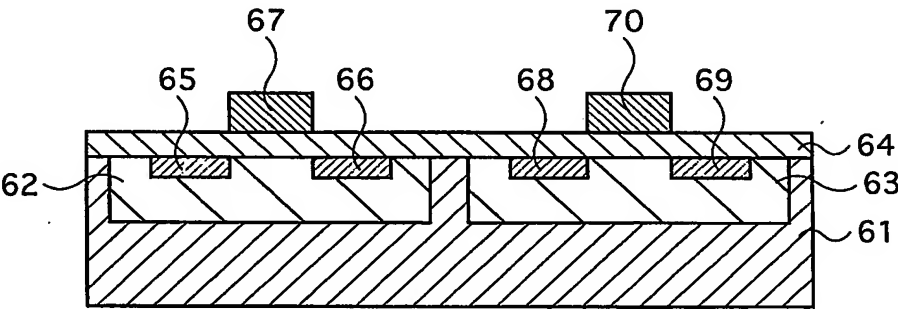


図11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09324

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/146, H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-16839 A (Minolta Co., Ltd.), 18 January, 2002 (18.01.02), Full text; Figs. 1 to 15 (Family: none)	1-14
Y	EP 1075028 A2 (CANON KABUSHIKI KAISHA), 07 February, 2001 (07.02.01), Full text; Figs. 1 to 15 & JP 2001-111022 A Full text; Figs. 1 to 15	1-14
Y	US 6184516 B1 (CANON KABUSHIKI KAISHA), 06 February, 2001 (06.02.01), Full text; Figs. 1 to 10 & JP 10-335625 A Full text; Figs. 1 to 12 & TW 393782 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 December, 2002 (05.12.02)

Date of mailing of the international search report
24 December, 2002 (24.12.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09324

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-148424 A (Yamaha Corp.), 07 June, 1996 (07.06.96), Column 106 (Family: none)	2
Y	JP 8-148677 A (Yamaha Corp.), 07 June, 1996 (07.06.96), Column 106 (Family: none)	2
Y	JP 8-213595 A (Toshiba Corp.), 20 August, 1996 (20.08.96), Full text; Fig. 1 (Family: none)	6-8, 12-14
Y	US 5698902 A (Matsushita Electric Industrial Co., Ltd.), 16 December, 1997 (16.12.97), Full text; Fig. 14 & JP 8-236767 A Full text; Fig. 14 & KR 215759 B1	6-8, 12-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/146, H04N5/335

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-16839 A (ミノルタ株式会社) 2002.01.18, 全文, 第1-15図 (ファミリーなし)	1-14
Y	EP 1075028 A2 (CANON KABUSHIKI KAISHA) 2001.02.07, 全文, 第1-15図 & JP 2001-111022 A, 全文, 第1-15図	1-14
Y	US 6184516 B1 (CANON KABUSIKI KAISHA) 2001.02.06, 全文, 第1-10図 & JP 10-335625 A, 全文, 第1-12図 & TW	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.12.02

国際調査報告の発送日

24.12.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗野 正明

4L

3035

電話番号 03-3581-1101 内線 3462



C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	393782 A	
Y	JP 8-148424 A (ヤマハ株式会社) 1996. 06. 07, 第106欄 (ファミリーなし)	2
Y	JP 8-148677 A (ヤマハ株式会社) 1996. 06. 07, 第106欄 (ファミリーなし)	2
Y	JP 8-213595 A (株式会社東芝) 1996. 08. 20, 全文, 第1図 (ファミリーなし)	6-8, 12-14
Y	US 5698902 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 1997. 12. 16, 全文, 第14図 & JP 8-236767 A, 全文, 第14図 & KR 215759 B1	6-8, 12-14